

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平 6 - 5 8 9 4 1

(24) (44) 公告日 平成 6 年 (1994) 8 月 3 日

(51) Int. Cl.

H01L 23/52

識別記号

庁内整理番号

F I

H01L 23/52

C

請求項の数 9 (全 9 頁)

(21) 出願番号 特願平 4 - 2 5 8 7 0 6
(22) 出願日 平成 4 年 (1992) 9 月 2 8 日
(65) 公開番号 特開平 5 - 2 1 8 2 8 7
(43) 公開日 平成 5 年 (1993) 8 月 2 7 日
(31) 優先権主張番号 7 8 3 6 4 4
(32) 優先日 1991 年 10 月 2 8 日
(33) 優先権主張国 米国 (US)

(71) 出願人 390009531
インターナショナル・ビジネス・マシー
ンズ・コーポレーション
INTERNATIONAL BUSI
NESS MACHINES COR
PORATION
アメリカ合衆国 10504、ニューヨー
ク州 アーモンク (番地なし)
(72) 発明者 チャールズ ティモスィー パーキンズ
アメリカ合衆国 78729、テキサス州
オースティン、クイルベリー ドライヴ
9707
(74) 復代理人 弁理士 中島 淳 (外 2 名)

審査官 川真田 秀男

最終頁に続く

(54) 【発明の名称】 コンピュータシステム内への機能的サブシステム形成方法

1

【特許請求の範囲】

【請求項 1】 フレキシブル誘電体キャリアの少なくとも一つの側に形成され、かつ上部に複数の入力／出力の相互接続ポイントを有する回路配線に隣接して誘電体物質の層を載置するステップと、

前記フレキシブルキャリアの前記入力／出力の相互接続ポイントを電氣的露出するために前記誘電体層内にバイアを形成するステップと、

少なくとも一つの IC (集積回路) デバイスを前記誘電体層に載置し、これによって、前記 IC の入力／出力の相互接続ポイントが、前記フレキシブルキャリアの入力／出力の相互接続ポイントの対応するポイントと垂直に位置合わせされ、かつ電氣的に相互接続されるステップとを備えている、コンピュータシステム内への機能的サブシステム形成方法、

2

【請求項 2】 バイアを形成する前記ステップが、前記誘電体層内に複数の孔を形成するステップと、前記孔内に導電物質を載置するステップとを備えている、請求項 1 に記載のコンピュータシステム内への機能的サブシステム形成方法。

【請求項 3】 前記サブシステムのノンコンプレックス素子を前記フレキシブルキャリアに直接載置することをさらに備えている、請求項 1 に記載のコンピュータシステム内への機能的サブシステム形成方法。

【請求項 4】 少なくとも一つの側上に形成された複数の入力／出力相互接続ポイントを含む回路配線を有するフレキシブル誘電体キャリアと、

前記回路配線に隣接しており、前記フレキシブルキャリアの前記入力／出力相互接続ポイントを電氣的に露出するために、層内に形成された少なくとも一つのバイアを

有する、誘電体物質の少なくとも一つの層と、
入力／出力相互接続ポイントが、前記フレキシブルキャリアの入力／出力相互接続ポイントの対応する入力／出力相互接続ポイントと垂直に位置合わせされ、かつ電氣的に相互接続されるように、前記の少なくとも一つの誘電体層の最上層に配置されている少なくとも一つのICデバイスとを備えているコンピュータシステムに機能を提供するためにフレキシブルキャリア上でパッケージ化されたサブシステム。

【請求項5】 前記少なくとも一つのバイアが、前記誘電体層内に設けられ、内部に導電性物質を有するほぼ円筒形の孔を備えている請求項4に記載のサブシステム。

【請求項6】 前記フレキシブルキャリアに直接固定された前記サブシステムのノンコンプレックス素子をさらに備えている請求項4に記載のサブシステム。

【請求項7】 複数の前記サブシステムが単一の前記フレキシブル誘電体キャリア上に設けられている請求項4に記載のサブシステム。

【請求項8】 前記サブシステムの製造の間に安定性を提供し、かつ前記ICデバイスと前記フレキシブルキャリアの間に生じる熱膨張の影響を最小限にするために、前記少なくとも一つの誘電体層の反対側に前記フレキシブルキャリアに隣接して配置されている補強材をさらに備えている請求項4に記載のサブシステム。

【請求項9】 回路配線が前記フレキシブルキャリアの両側に配置されており、これによって前記サブシステムの第1と第2の配線層を形成する請求項4に記載のサブシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、一般に、縮小された領域と全体的複雑性とを有するマルチチップモジュールの製造に関する。特に、多数の集積回路（以降、IC又はチップと称する）を支持することができるモジュールがフレキシブルキャリア上に形成され、これによって、機能的サブシステム、即ち、メモリ、プロセッサ、グラフィック、SCSIアダプタ、I/Oドライバ、その他のようなコンピュータ機能の複雑な（コンプレックス）領域がフレキシブルキャリア上に取り付けられることができる。

【0002】

【従来の技術】現在、多数の異なる形状のチップをフレキシブルキャリアに取り付けることは公知である。例えば、米国特許第4,967,950号は、制御された崩壊チップ結合型（C4）のICのフレキシブル基板への直接的装着について示している。ピンスルーホール（PTH）パッケージと、ワイヤボンディングと、リード端子がソルダパッドに位置合わせされ、次いでソルダがリフローされる表面取り付け技術（SMT）のチップとを含む他の形状のチップもフレキシブル基板物質に取り付

けられ得る。

【0003】さらに、従来の技術は、コンプレックス領域、又は特定の機能を提供するために用いられることができるアイランドを形成するように、フレキシブル基板上に種々のパッケージ形状に多数のチップをパッケージ化する可能性を有している。米国特許第4,567,543号は、複数のSMT及びPTHパッケージを受容することができる両面フレキシブルモジュールを開示している。米国特許第4,495,546号は、母板の結合スリットに挿入されることができ、当該基板上に複数のチップを有するフレキシブル基板について記述している。米国特許第5,028,983号は、一端が基板と接触するように薄膜から外側へ延出しており、かつ他端がICの接点パッドと接合されている、ビームリード端子を有する薄膜を開示している。米国特許第4,987,100号と第4,937,707号では、インターポーザ型の配置の使用により、フレキシブルキャリアに取り付けられたC4型チップが開示されている。IBMのTDBの“Concept for Forming Multilayer Structures for Electronic Packaging”（電子パッケージのための多層構造体を形成するための概念）は、チップをフレキシブル薄膜上に載置し、次いでフレキシブル薄膜が、この薄膜の両側に挟まれて配置されている熱スプレッドデバイスによって薄膜自体が包囲されることを開示している。

【0004】異なるタイプの電子的デバイスに種々の機能を提供するため、フレキシブル基板に複数の相互接続されたチップが取り付けられる時に生成されるコンプレックス領域を使用することも公知である。例えば、米国特許第4,177,519号及び第4,081,898号は、計算器製造のために、当該フレキシブルキャリア上に電子構成要素を有するフレキシブルキャリアを使用することを開示している。さらに、米国特許第4,598,337号及び第4,064,552号では、機能的領域を使用した腕時計の製造方法が示されている。米国特許第4,990,948号は、当該フレキシブルプリント回路板上にチップを含むフレキシブルプリント回路板を有するカメラレンズが開示されている。米国特許第4,843,520号は、第1及び第2の基板に取り付けられているフレキシブル薄膜に取り付けられている電子構成要素を有する電子的回路モジュールを開示している。米国特許第4,104,728号は、ハウジング内に配置されている当該基板上に形成された配線パターンを含むフレキシブル基板を有する電子装置を開示している。

【0005】フレキシブル回路を形成するために、上に集積回路デバイスが取り付けられたフレキシブルキャリアは、従来の技術において周知である。しかしながら、コンピュータ産業における現在の需要は、コンピュータシステムの設計者によって、より効率的にパッケージ化

5
されることができる、より狭い領域により多くの機能性を設けることを必要とする。より多くの機能性を提供するために、モジュールが、プレーナ板又は回路カードに直接取り付けられているマルチチップモジュール(MCM)が使用されてきた。この方法は、MCMが取り付けられるキャリアの高いコスト(MCM入力及び出力(I/O)の複雑性による)、及びモジュールの入力及び出力(I/O)の効率的な相互接続に付随する問題などを含むいくつかの欠点を有する。関連する技術に見られる他の問題は、フレキシブルキャリア上に取り付けられるチップを装着かつ相互接続させるために必要とされる領域にある。即ち、チップと電子デバイスとの間の相互接続、又は他のパッケージ化レベルのために、リード端子が、チップからMCM又はフレキシブル基板の周囲へ延出される、「ファンアウト」が必要とされる。

【0006】これによって、コンピュータにおいて使用するための複数の高密度搭載された電子デバイスからなる機能的サブシステムを効率的に提供する手段が、大いに所望されることを見ることができる。

【0007】

【発明が解決しようとする課題】従来の技術と対照して、本発明は、フレキシブルキャリアに取り付けられるMCMの領域を縮小させるコンピュータにおける機能的サブシステムを製造する方法を提供する。同様に、このサブシステムのコンプレックス機能的領域(MCM)がシステムケーブルに取り付けられるので、システムプレーナ上で追加スペースを利用することができる。

【0008】

【課題を解決するための手段】本発明は、局所的コンプレックス機能的領域、即ちフレキシブルキャリア上に組み付けられた多層マルチチップモジュール(MCM)キャリアを含んでいる。これによって、局所的コンプレックス領域はコストの高いプレーナに取り付けられることは必要とされないが、標準的なプリント回路板(PCB)より高い配線密度を保持することができ、従ってあまり経費のかからないフレキシブルケーブル、即ちキャリアに固定される。フレキシブルキャリアは、MCMへインターフェースを提供するだけでなく、機能を利用しているシステムへのインターフェースをも提供する。サブシステムのあまり複雑でない領域もフレキシブルキャリア上にあって、このフレキシブルキャリアは、低I/O(入力/出力)チップ、受動デバイスのような、MCMに取り付けられる必要のない機能のノンコンプレックス構成要素を直接受容する。これに対して、局所的コンプレックス機能的領域、即ちMCMは、カスタムASIC(特定アプリケーション集積回路)、プロセッサ、高周波数アナログ部品、及び他の高I/O(入力/出力)チップのような高パフォーマンスの直接チップ装着(DCA)取り付け構成要素のみを含んでいる。従って、このように、コンピュータ機能全体が構成され、フレキシブル

ルキャリアアセンブリにハウジングされる。

【0009】コンプレックス及びノンコンプレックス領域を含む本発明のサブシステムは、当該フレキシブルキャリアの少なくとも一つの側上に、回路化された導電信号線を有する誘電体物質のような好適なフレキシブルキャリア層を得ることによって製造される。回路化配線は、当然、MCMの型に整合し、かつフレキシブルキャリアに載置されるように機能する。次いで、光画像形成可能な誘電体層は、回路化されたキャリアの好適部分にわたって配置され、層の内部にバイアが形成され、かつ導電物質が充填される。誘電体層の最上側は、必要に応じてフレキシブルキャリア回路配線に相互接続される電気信号伝送線を形成するために回路化される。次いで、追加層は、上記と同一のプロセスにより、必要に応じて組み立てられる。導電性パッドは、モジュールに直接取り付けられるチップI/O用に相互接続ポイントを提供するため、最上回路の誘電体層上に形成される。

【0010】

【実施例】図1は、参照番号1によって示された本発明のマルチチップモジュールとフレキシブルキャリア(サブシステム)1である。上に載置されるべき機能の複雑性に依存して電気的に構成されたフレキシブル基板2が設けられている。例えば、上に一つ以上の回路層を有するフレキシブルケーブルだけでなく、細密な回路配線、全体的又は部分的接地面、及び高パフォーマンスネットワークのための制御されたインピーダンス回路又はストリップ線を提供するフレキシブルキャリアも使用されることができる。本発明の好ましい実施例において、フレキシブルキャリア2は、ポリイミドなどのような誘電体物質からなる単一のフレキシブル層から製造される。さらに、フレキシブルキャリア2は誘電体層の各側上に配置されている導電物質の層を含んでいる。フレキシブルキャリア2に配置されている導電体層の回路化も提供され、かつこの回路化は構成されるべきコンプレックス

(複雑)機能領域のタイプに依存する。フレキシブルキャリア2上のこれらの回路層は、当該回路層上に伝導信号線及び他の回路を残すために、導電シード層上に導電線をメッキすることによって、又は、キャリア2の誘電体層の表面全体を金属被覆し、エッチング又は他のプロセスによって不必要な物質を除去することによって、誘電体物質上加えられた銅又はアルミニウムのような導電体物質から構成される。このように、専用(パッケージ化されるべき複雑な機能に特有な)回路層4及び6は、キャリア2上に形成され、バイア3及び38と共に図1に示されている。これらのバイア3及び38は、フレキシブルキャリア2(例:低I/O(入力/出力)IC)に直接取り付けられているノンコンプレックス、複雑でない構成要素と、サブシステム1のコンプレックス領域に取り付けられるべきチップのような他のデバイスとの型に相互接続を提供するだけでなく、回路層4と

6の間にも相互接続を可能にする。従って、フレキシブルキャリア2がサブシステム1の局所的コンプレックス領域(MCM)によって必要とされることもある配線層(4、6)の内の二つを提供することができ、これによって、図4〜図13に記述されているように、局所的コンプレックス領域を形成する間は、引き続いて追加されるべき配線層の数を減少させるのが見られる。補強材40が示されており、本発明の構造に剛体ベースを設けるために用いられ、さらにこの補強材は、アセンブリと動作の両方の間にモジュール1に熱的強化及び熱膨張整合制御を提供するために用いられることができる。補強材40は、一般的に、セラミックスはシリコンの物質から構成されている。補強材40は、キャリア2と、マルチチップモジュール1、即ちコンプレックス領域上のチップとの間の不整合熱膨張係数に起因するストレス(応力)を減少させる。しかしながら、モジュール1とキャリア2との間の熱膨張係数における差はあまり大きくないので、補強材40が本発明の製造時にだけ用いられ、本発明の終了時には除去されるという使用法が多い。

【0011】第1誘電体層8が、キャリア2の補強材40とは反対側に取り付けられているのが示されている。誘電体層8は、連続する回路層とチップI/Oとを介してキャリア2の回路層6へのアクセスを提供するバイア10を含んでいる。回路層6は、引き続いてマルチチップモジュール(MCM)の頂部に載置されている集積回路デバイスによってアクセスされるべき入力/出力相互接続ポイントを含んでいる。導電物質は、誘電体層8のキャリア2の反対側に配置されている回路層12から電気的接続が行われるようにバイア10(図6)内に置かれる。他の誘電体層14が示されており、かつ回路層12に隣接して配置されており、さらにこの誘電体層14は、連続する回路層又はチップI/Oと、誘電体層8の回路層12との間の接続を可能とする。当該バイア内部に配置されている導電物質を有するバイア16を含んでいる。他の層18が回路化され、誘電体層14のキャリア2の反対側に設けられている。誘電体層20と、連続して形成されるバイア22とが回路層18に隣接しており、かつ誘電体層14の頂部に垂直に積み重ねられているのが示されている。ここでも、導電物質は、層20のキャリア2とは反対側に置かれている他の専用回路層24からの相互接続を提供するためにバイア22内に置かれる。誘電体層と回路層の数は、サブシステムの複雑性、即ち、いくつかの配線がチップを相互に接続させるために必要とされるか、及び他のいくつかの回路がサブシステムのために必要とされるかによって決定される。電気的接続手段26は誘電体層20上に設けられていると共に、集積回路デバイス28の端子のランドパッドのようなランドパッド相互接続ポイント30との電気的接続を提供するように、回路層24と連絡している。このように、チップ28は、誘電体層8、14、20及び回路層

(配線層)12、18、24の各々を介して、キャリア2及び、相互接続を必要とする任意の他の電気的構成要素とも電気的に相互接続される。さらに、チップI/O30は、ファンアウトの必要性を除くことによってサブシステム1の局所的コンプレックス領域(MCM)の領域を縮小するために、フレキシブルキャリア層4、6の対応するI/O相互接続ポイントに垂直に位置合わせされることができる。従って、他の構成要素及びサブシステムに配線(ワイヤリング)を設けるために従来のMCMにおいて用いられたファンアウトは、チップをフレキシブル取り付けモジュールに取り付けるための直接チップ取り付け(DCA)技術を用いることによって除去される。

【0012】本発明の好ましい実施例において、DCAは、C4装着の場合のように、チップをフェイスダウンボンディングによって取り付けのために用いられる。さらに、高I/Oチップに関しては、本発明によって、領域アレイのフットプリント(足跡状)も考慮に入れられる。本明細書に文献引用されている1991年10月4日に申請された米国出願番号07/771695では、単一基板上に異なるように構成されたチップを相互接続させる種々の方法について記述している。特に、元来、C4技術又はワイヤボンディングのような他の種類の取り付け方法を用いるように構成されている異なるように構成されたチップがどのようにフェイスダウンボンディングによって取り付けられ得るかが示されている。チップの可能とされる最小の「フットプリント」が提示され、これにより、コンプレックス領域に必要とされる領域が最小限におさえられるので、フェイスダウンボンディングによって取り付けられるチップが好ましいとされる。これらのチップをワイヤボンディング(接合)することは可能であるが、装着が必要とされる領域が増大される。

【0013】図1は、ノンコンプレックス素子32、34、及び36も示しており、これらの素子はフレキシブルキャリア2のノンコンプレックス領域に直接載置され、これによってフレキシブル基板2上に形成されるべき局所的コンプレックス領域(MCM)の必要寸法と複雑性とを縮小させることができる。例えば、デバイス32は、コンデンサなどであってもよく、表面取り付け技術(SMT)方法によってフレキシブルキャリア2に相互接続されているのが示されている。パッド33は、キャリア2上に形成され、デバイス32上の対応する電気的接続パッドが共に位置合わせされ、次いで例えば半田付け等の結合金属頭が、フコーされる。デバイス34は、ワイヤボンディング技術によってフレキシブルキャリア2上に取付けられているのが示されており、この際、導電性ワイヤ、チップ28上のI/Oからキャリア2上の電気的接続ポイント30へと載置される。さらに、チップ28のI/Oと、キャリア2上のI/Oとの間に、導電物質

部表面に設けられる。さらに、フレキシブルキャリア2の回路層4、6が、いかにして局所的コンプレックス領域の最初の二つの回路層を形成するか、例えば、層12がサブシステム1の第3の配線層（回路層）と見なされ得ることが示されている。

【0020】図8については、第2の誘電体層14がラミネーティング等の手段によって、層8の最上部の表面及び対応する回路層12に積層される。次いで、図9に示されるように、回路層12に導電パスを提供するために、誘電体層14内にバイア15が形成される。図10では、導電物質16がバイア15内に配置されており、送電線の他の専用回路層18が、誘電体層14の層8とは反対の表面に配置されているのが示されている。ここでも、バイア15を形成し、誘電体層14の上に回路層18を配置し、かつバイア15内に導電物質を供給する一連のステップは、上記のように相互交換可能、かつ組み合わせ可能である。図11は、回路層18の相互接続ポイントに対応して当該誘電体層20内に形成されるバイア21を有する、誘電体層14の最上部に配置される第3の誘電体層20を示している。上記のように、層20は、第2誘電体層14及び回路層18の表面にラミネートされ、次いでバイア21が、エッチング、レーザ削摩、光画像形成化などの手段によって、層20内に形成されてもよい。この様に組み立てられた層の数は、チップを、チップ相互間で、かつフレキシブルキャリア2に相互接続させるために必要とされる配線密度によって決定される。

【0021】図12は、上記の手段によって誘電体層20に載置されている回路層24と、バイア21内に配置されている導電物質22とを示している。従って、誘電体層20の最上表面に配置されている専用回路層24が、バイア10、16、22を貫通して、フレキシブルキャリア2の回路層6と電気的接続されているのが見られる。

【0022】集積回路デバイス28が、コンプレックス機能領域に取り付けられるためには、互換性結合物質₁が、回路層24とチップのI/O相互接続ポイント30の中間に配置されなくてはならない。相互接続ポイント26は、例えば溶ダボールの様なチップI/O30を回路層24とインターフェースさせるための導電結合物質を含んでいる。結合物質26は、導電性エポキシ、ペーストなどだけでなく、溶ダパッド又は突起物を含んでいることもある。コンプレックス領域に配置されているI/O相互接続ポイント26のタイプは、本明細書に記載が用された特許出願に関する製造関係、コンプレックス領域によって供給される機能を提供するために必要とされる一つのタイプのチップのタイプに依存する。

【0023】図13は、結合手段18によって回路層24に取り付けられた集積回路デバイス（IC）28を有する完成されたフレキシブルキャリア2を示している。

IC28は、垂直に位置合わせされ、かつフレキシブルキャリア2の回路層6の対応するI/O相互接続ポイントと電気的に接続している。従って、本発明がいかにして、フレキシブルキャリアに固定されるべきマルチチップに必要とされる領域の大きさを縮小するかが見られる。補強材40は、製造工程が完成したので除去される。補強材40は、構成素子の熱膨張特性によって必要とされるときもあり、必要とされないときもある。

【0024】チップ28と連結パッドの保護は、カプセル（密封）エポキシのような好適な物質によって、チップ28を閉じ込めることによって実行される。このカプセル31は、チップ28と層20（図13）のような対応する誘電体層の間の熱膨張における差によって生じるチップI/O結合上のストレスも解放し、これによって補強材40の除去を可能とする。

【0025】

【発明の効果】再び図2に戻って、コスト削減すると共に、製造プロセスの効率を最大限に活用するために、単一のフレキシブル基板のキャリア2に平行に多重コンプレックス領域の構成をプロセスする事が可能であることに注目されたい。

【0026】従って、図示されかつ説明されている本発明は、単一ユニットとしてのコンピュータ機能全体をパッケージ化する手段、又はコンプレックス及びノンコンプレックス領域を含むサブシステムでもある。これらの機能は、映像可能出力、マイクロプロセッサ、並びにキーボード、ディスプレイ、マウスコントローラ等の出力／入力デバイスを含んでいる。コンピュータシステムの効率は、集積回路デバイスの間の最小の相互接続距離によって増大する。このように、コンピュータシステムの開発者が新たなシステムをより効率的に設計することができるように、コンピュータサブシステム全体が、フレキシブル基板上の最小の領域に効率的に製造かつパッケージ化されることができる。

【図面の簡単な説明】

【図1】典型的な局所的コンプレックス機能領域とノンコンプレックス領域とを示す本発明のサブシステムの断面図である。

【図2】複数のコンプレックス機能領域を有するフレキシブルキャリアの平面図である。

【図3】典型的な個々の構成素子が示されているコンプレックス領域とノンコンプレックス領域の平面図の概略図である。

【図4】本発明による、フレキシブルキャリアに誘電体層を載置する初期ステップを示す断面図である。

【図5】図4におけるフレキシブルキャリアに載置された誘電体層におけるバイア形成を示す図である。

【図6】バイアに導電物質の配置を示す他の断面図である。

【図7】誘電体層の最上表面に形成された回路層を示す

図である。

【図8】本発明による第1の層の回路層上に載置された第2の誘電体を示す図である。

【図9】第2の誘電体層内に形成されたビアを示す図である。

【図10】回路化され、かつ導電物質がビア内に載置されている第2の回路層を示す他の断面図である。

【図11】第2の層上に載置されたビアが内部に形成されている第3の誘電体層を示す図である。

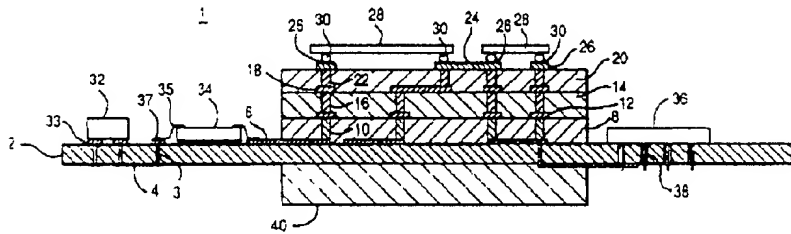
【図12】第3の誘電体層の回路化と、ビアの中への導電物質の載置とを示す図である。

【図13】コンプレックス領域である第3の誘電体層に取り付けられたチップを有する完成されたサブシステムを示す図である。

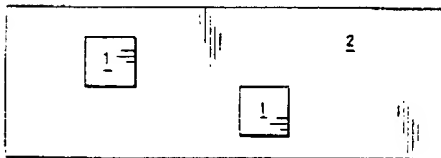
【符号の説明】

- 1 マルチチップモジュール
- 2 フレキシブルキャリア
- 4、6 回路層（配線層）
- 8 第1誘電体層
- 10、16、22 バイア
- 12 回路層
- 14 第2誘電体層
- 20 第3誘電体層
- 26 電氣的接続手段
- 28 IC
- 30 相互接続ポイント
- 32、34、36 ノンコンプレックス素子

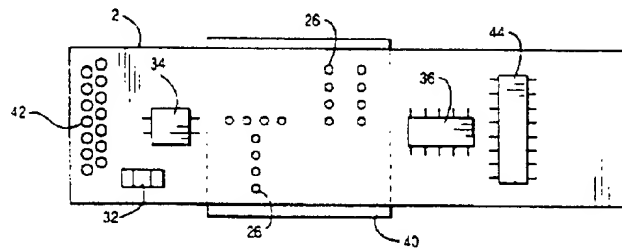
【図1】



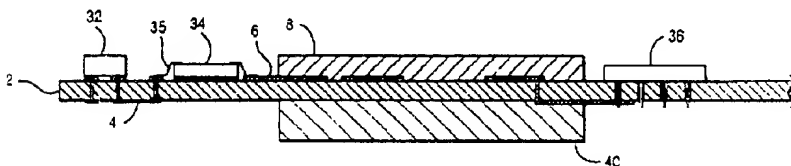
【図2】



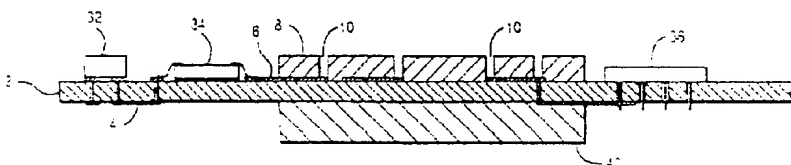
【図3】



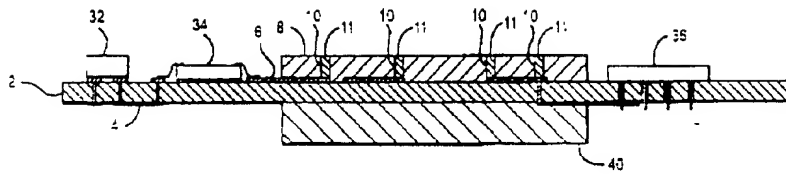
【図4】



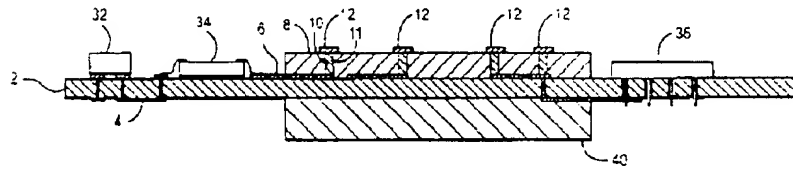
【図5】



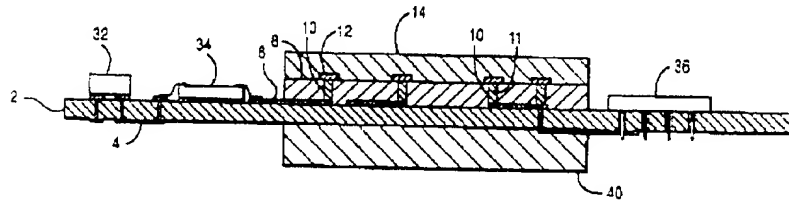
【 図 6 】



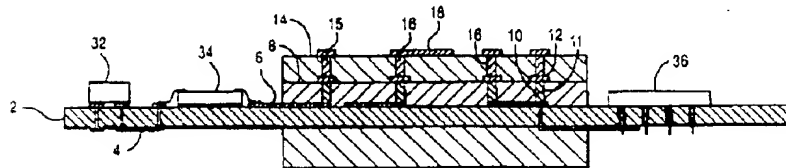
【 図 7 】



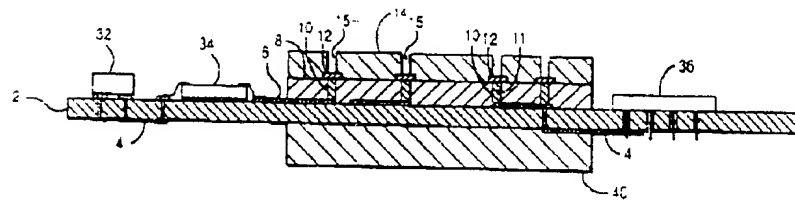
【 図 8 】



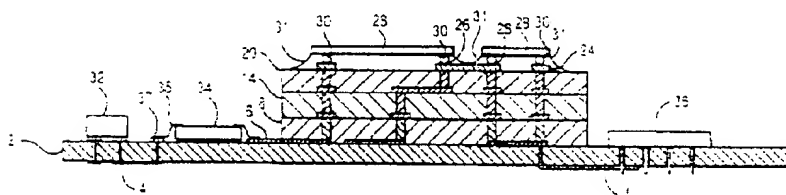
【 図 10 】



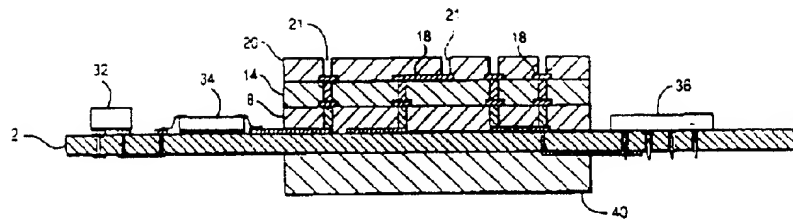
【 図 9 】



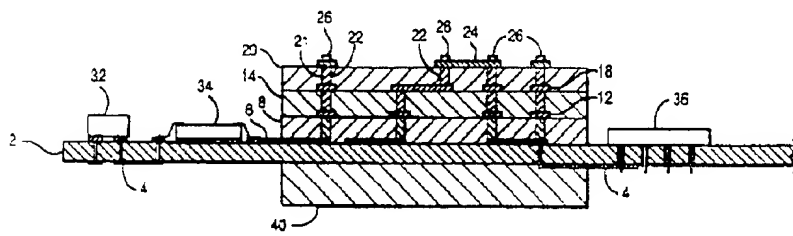
【 図 13 】



【図 1 1】



【図 1 2】



フロントページの続き

- (72) 発明者 グスタフ シュロットケ
 アメリカ合衆国 7 8 7 5 0、テキサス州
 オースティン、スパイスウッド パーク
 ウェイ 1 1 1 0 1
- (56) 参考文献 特開昭 6 0 - 5 3 0 3 5 (J P , A)
 特開昭 6 0 - 1 3 6 3 5 6 (J P , A)